

AVALIAÇÃO DE CÉLULAS SRAM EM TECNOLOGIA CMOS 32nm

Roberto Almeida¹; Paulo F. Butzen²; Cristina Meinhardt³

Resumo

Sistemas computacionais necessitam armazenar dados com um bom desempenho. Para alcançar este objetivo é preciso utilizar uma hierarquia de memória para conseguir-se um sistema rápido a um bom custo e alta capacidade. Memórias cache frequentemente são fabricadas na mesma tecnologia do processador para alcançar um bom desempenho. O objetivo deste trabalho é verificar importantes fatores que caracterizam uma célula SRAM (Memória Estática de Acesso Aleatório) como tempos de escrita e leitura, consumo de energia e robustez. São exploradas diferentes arquiteturas na tecnologia de 32nm de alto desempenho. Os resultados mostram que a escolha da melhor célula depende dos requisitos de cada projeto, ressaltando a importância de uma profunda análise de cada célula quanto as características elétricas.

Palavras-chave: desempenho, nanotecnologia, robustez, SRAM.

Abstract

Computing systems need to store data with a good performance. To reach this objective it is necessary to use a memory hierarchy to achieve a fast system with good cost and high capacity in number of bits. Cache memories frequently are made with the same processor design process to have a good performance. The objective of this work is verify important aspects, which characterize a SRAM (Static Random Access Memory) cell as, write and read delay, power consumption and robustness. Different architectures are explored in 32nm high performance technology. Results show that the choice of the better cell depends of the project requirements, highlighting the importance of a deep analysis of the electric characteristics of each cell.

Keywords: Performance, nanotechnology, robustness, SRAM.

Introdução

Dados são armazenados em sistemas digitais através de circuitos de memória. A memória consiste em um dispositivo no qual, dada uma entrada e um sinal de ativação de escrita, esta entrada é armazenada. Para garantir o correto funcionamento da memória, existe um conjunto de sinais de controle, destacando-se os sinais de ativação de leitura e de habilitação de escrita. A leitura desta entrada é feita a partir de um sinal de ativação de leitura. Assim como, um dado só pode ser modificado com a habilitação da escrita (PAVLOV; SACHDEV, 2008).

Sistemas computacionais necessitam de dispositivos de armazenamento para sua plena operação. Porém, a relação entre tamanho, desempenho e custo por *bit* faz com que não se consiga ter um único tipo de memória para todo o sistema, necessitando o uso de diferentes

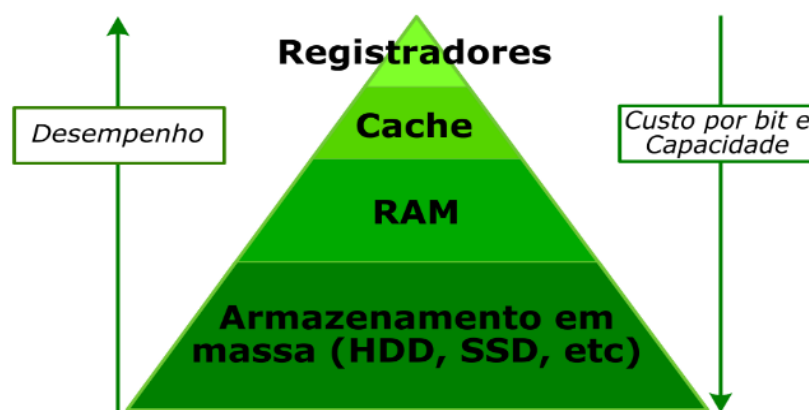
¹ Mestrando do Programa de Pós-Graduação em Computação pela FURG; e-mail: robertoalmeida@furg.br.

² Professor do Programa de Pós-Graduação em Computação pela FURG; e-mail: paulobutzen@furg.br.

³ Professora do Programa de Pós-Graduação em Computação pela FURG; e-mail: cristinameinhardt@furg.br.

tecnologias de implementação. Devido a esse problema, surgiu o conceito de organização em forma de hierarquia, que consiste em aproveitar o melhor de cada tecnologia. Na Figura 1 é apresentada a hierarquia de memória, que exemplifica os níveis de memórias de um sistema. As memórias do topo são as mais rápidas, porém caras, logo são necessários outros níveis que possuem menor custo por *bit* para aumentar a capacidade do sistema. Registradores e *caches* podem ser fabricados na mesma tecnologia, porém geralmente são representadas de forma separada, pois o registrador armazena poucos *bits* tornando seu acesso mais rápido (STALLINGS, 2012).

Figura 1 - Hierarquia de memória



Fonte: Elaborada pelos autores.

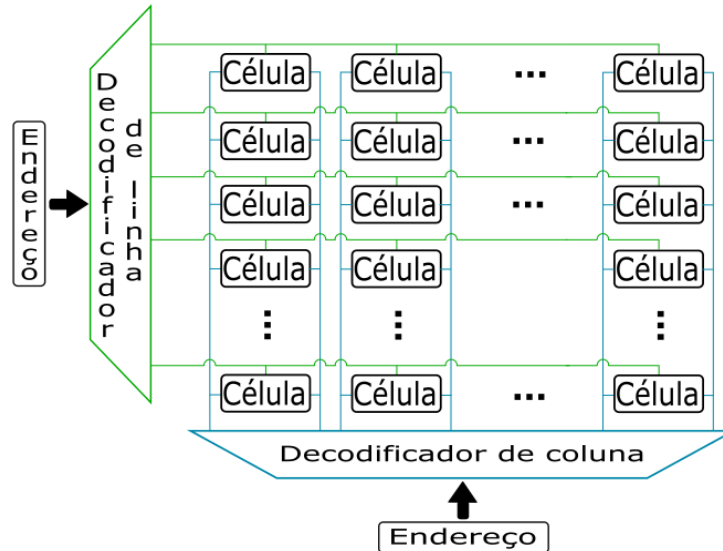
Nos níveis de registradores, *cache* e RAM (Memória de Acesso Aleatório) são utilizadas memórias voláteis, que guardam os dados em uso durante a execução dos processos utilizados pelo sistema operacional e são perdidos ao deixar de receber energia. O nível representado pela base da pirâmide contém os dispositivos de armazenamento em massa não voláteis, que mantêm o dado armazenado até que o mesmo seja sobrescrito sem necessitar de um sistema de alimentação constante.

Neste trabalho foram utilizadas memórias do tipo SRAM que é uma memória volátil de alto desempenho, fabricada na mesma tecnologia da UCP (Unidade Central de Processamento). Este tipo de memória pode ser encontrado em memórias *cache* e permite a leitura dos dados de forma aleatória, não necessitando uma ordem de leitura sequencial, por exemplo.

Em um sistema digital os dados são representados por cadeias de *bits*, que podem ser os valores lógicos '0' ou '1'. Cada *bit* é armazenado em uma célula de memória e o conjunto de células pode ser organizado em forma de matriz. A Figura 2 mostra a organização de um

bloco de células, onde cada linha é uma palavra (dado codificado no sistema binário). As colunas são utilizadas para a leitura em paralelo dos *bits* de uma palavra.

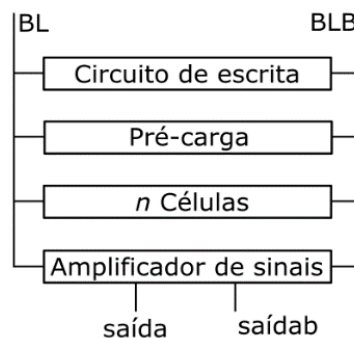
Figura 1 - Bloco de células de memória.



Fonte: Elaborada pelos autores.

A arquitetura de uma coluna de SRAMs possui circuitos de escrita, leitura, pré-carga e n células. Na Figura 3 é mostrado um diagrama simplificado. Os fios BL e BLB são as *bitlines* que conectam os demais circuitos à célula, sendo que BLB é o complemento lógico de BL. A pré-carga mantém a tensão alta nas *bitlines* enquanto a célula está em estado de espera, facilitando os processos de leitura e escrita.

Figura 2 - Coluna de uma SRAM.



Fonte: Elaborada pelos autores.

Nos últimos anos, com a evolução tecnológica, o desempenho da UCP aumentou, porém aumentou também a diferença entre o tempo de processamento e o tempo de acesso aos dados armazenados nas memórias. Para reduzir este impacto, o número de células foi aumentado (ROY; ISLAM, 2015). Atualmente, uma memória *cache* pode chegar a 90% da

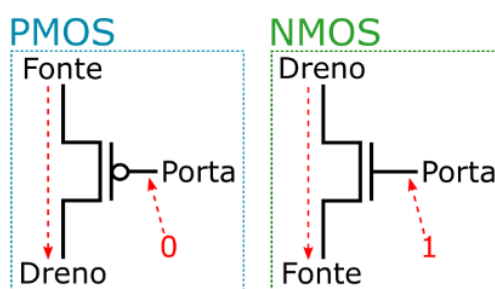
área de um microprocessador (SIA, 2011). Logo, a área de cada célula se torna um ponto crítico no projeto de um sistema digital, assim como seu desempenho e robustez.

O principal objetivo deste trabalho é analisar diferentes topologias de células de memória SRAM observando seu desempenho, estabilidade e consumo de energia. Os resultados de cada célula serão comparados aos da célula 6T convencional, que é a mais utilizada em projetos e estudos (PAVLOV; SACHDEV, 2008). As análises buscam contribuir de forma a mostrar que o uso de determinadas células pode ser viável diante das características esperadas de um projeto, assim como um melhor gerenciamento dos recursos disponíveis.

1 Referencial teórico

Células SRAM são fabricadas com transistores MOS (Metal Óxido Semicondutor) de efeito em campo. Há dois tipos de transistores: NMOS e PMOS. Transistores NMOS são responsáveis pela passagem de um sinal '0' forte e funcionam como uma chave fechada quando recebem um sinal '1' e os PMOS pelo sinal '1' forte e se comportam como uma chave fechada ao receber o sinal '0'. Para evitar ruídos e sinais fracos em um sistema digital é necessário utilizar combinações de ambos os tipos para um maior desempenho e estabilidade. Os diagramas destes transistores são mostrados na Figura 4, onde a fonte e o dreno representam os terminais e a porta representa o sinal de ativação da chave. Os elétrons podem passar em qualquer um dos sentidos entre fonte e dreno.

Figura 3 - Transistores PMOS e NMOS.

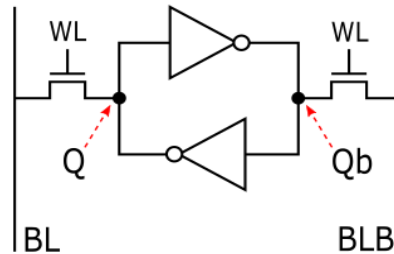


Fonte: Elaborada pelos autores.

As memórias SRAM são feitas utilizando um conjunto de transistores. A célula de memória mais tradicional é a célula composta por 6 transistores, mostrada na Figura 5. Nesta imagem, aparecem 2 transistores controlados pelo sinal WL (*Word line*) e dois inversores conectados em laço. Em cada inversor, temos 2 transistores internos. O sinal WL é responsável pelo acesso à célula e nesse caso é ativado por '1'. Uma célula de memória possui

3 estados possíveis: modo de espera, escrita e leitura. O modo de espera é responsável por manter o bit escrito ao longo do tempo. Uma forma simples de se projetar uma célula é usando um *latch* composto pelos inversores da Figura 5. Os nodos Q e Qb representam o *bit* armazenado e o seu complemento lógico, respectivamente.

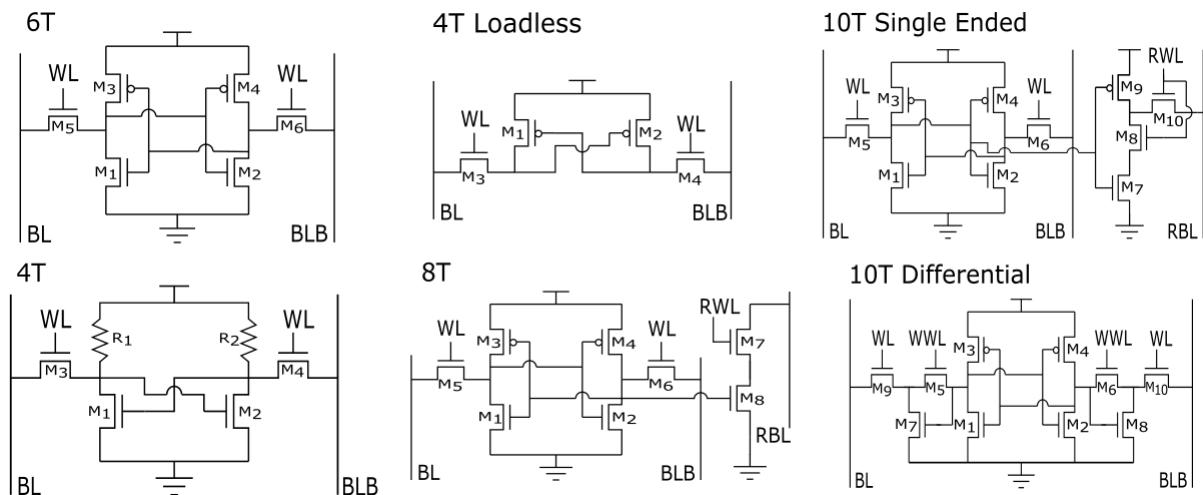
Figura 4 - Célula SRAM usando inversores.



Fonte: Elaborada pelos autores.

Existem várias propostas de células de memória, cada uma delas projetada para obter ganho em alguma das características principais de uma célula de memória: área (número de transistores), desempenho, consumo de energia ou robustez. Este trabalho avalia seis diferentes propostas de células de memória, apresentadas na Figura 6. Cada uma destas células possui um objetivo específico e seu funcionamento pode variar, por exemplo como nas células 8T e 10T *Single Ended* que possuem uma *bitline* dedicada apenas para a operação de leitura.

Figura 5 - Diagramas elétricos das células 6T, 4T, 4T Loadless, 8T, 10T Single Ended, 10T Differential.



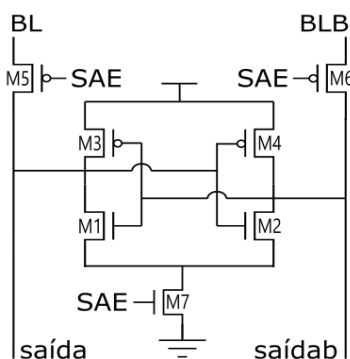
Fonte: Elaborada pelos autores.

A célula 6T (PAVLOV; SACHDEV, 2008), mostrada na Figura 6 é a convencional e mais utilizada em projetos pois possui poucos transistores, boa estabilidade e é rápida. A 4T (PAVLOV; SACHDEV, 2008) é utilizada em nodos tecnológicos mais antigos, pois

atualmente o desenvolvimento do resistor é dificultado pela miniaturização da tecnologia. A 4T *Loadless* (SANDEEP et al., 2009), é a menor célula estudada possuindo apenas 4 transistores, porém apresenta problemas de estabilidade. Na Figura 6 temos a 8T (CHANG et al., 2005), que é parecida com a 6T porém sua leitura é feita através da *bitline* de leitura RBL, buscando reduzir o atraso de leitura e aumentar a estabilidade durante o processo. A 10T *Single Ended* (CALHOUN; CHANDRAKASAN, 2007) é parecida com a 8T, porém ela tenta aumentar ainda mais o desempenho de leitura usando um inversor para amplificar o sinal recebido do nodo. A 10T *Differential* (CHANG et al., 2009) é uma célula proposta para aprimorar a estabilidade principalmente de leitura, porém mantendo apenas duas *bitlines*.

Para as células 6T, 4T, 4T *Loadless* e 10T *Differential* serem lidas, é necessário um amplificador de sinais, que aumenta a diferença de tensão entre as *bitlines* BL e BLB possibilitando a leitura do *bit* armazenado na célula selecionada. Na Figura 7 é mostrado o amplificador utilizado. Observe que os transistores M5 e M6, quando ativados pelo sinal SAE (habilita leitura), desconectam o amplificador de sinal do resto da coluna. Isto faz com que ele amplifique a diferença previamente recebida, diminuindo o risco de alterar o valor da célula acidentalmente. O amplificador fornece o *bit* armazenado e seu complemento como saídas.

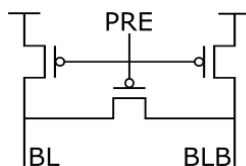
Figura 6 - Amplificador de sinal.



Fonte: Elaborada pelos autores.

Como podem haver dezenas de células em uma *bitline*, o tempo de carga de BL e BLB durante a leitura e escrita pode reduzir o desempenho da memória. Devido a isto, é utilizado um circuito de pré-carga que mantém elas carregadas enquanto o circuito está em estado de espera. Na Figura 8 é apresentado o circuito de pré-carga utilizado, ele utiliza transistores do tipo PMOS que são ativados pelo sinal PRE (ativa pré-carga) para que haja um sinal '1' forte nas *bitlines*.

Figura 7 - Pré-carga



Fonte: Elaborada pelos autores.

2 Metodologia

Para simular as células e os demais circuitos foi utilizado o simulador elétrico NGSpice assim como um modelo preditivo PTM (ZHAO; CAO, 2006) para a tecnologia de 32nm de alta performance. Os transistores utilizados possuem o dimensionamento mínimo para a tecnologia escolhida, possibilitando uma comparação justa entre as células. Devido as características elétricas representadas pelo modelo preditivo utilizado, os resultados são obtidos através de uma única simulação para cada característica analisada.

As simulações podem ser divididas em: caracterização temporal de leitura e escrita, análise de potência e testes de estabilidade. Nas próximas subseções, os procedimentos para realizar a caracterização de cada um destes aspectos serão melhor descritos.

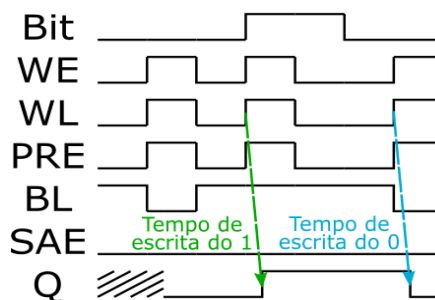
2.1 Caracterização temporal

A caracterização temporal de uma célula de memória é obtida com a análise dos tempos de escrita e leitura. Nas simulações são obtidos dois resultados, pois é necessário ler e escrever os bits '0' e '1' e cada um pode provocar um atraso diferente devido ao arranjo dos transistores do circuito. Quando os atrasos são diferentes para o mesmo processo, é considerado o pior caso.

2.1.1 Tempo de escrita

A escrita de uma célula ocorre quando a pré-carga é desativada e a célula é selecionada através do sinal WL. O circuito de escrita gera uma diferença de tensão entre as *bitlines*. Dessa forma, o nodo Q receberá o valor de BL e Qb de BLB. A Figura 9 exemplifica o gerenciamento dos sinais. O tempo de escrita é calculado entre a ativação da célula e o tempo de resposta dos seus nodos Q ou Qb. Os sinais WE (habilita a escrita), WL, e SAE são ativados em '1'. O sinal PRE é ativado em '0'. O sinal Bit é o valor de entrada que será armazenado na célula quando a escrita for liberada.

Figura 8 - Comportamento dos sinais durante a escrita.

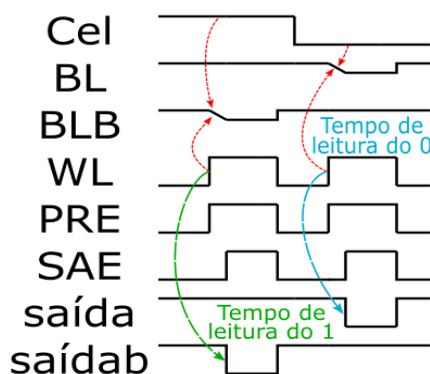


Fonte: Elaborada pelos autores.

2.1.2 Tempo de leitura

Para que ocorra uma leitura de uma célula, é necessário que esta seja selecionada pelo sinal WL e o sinal de pré-carga esteja desativado. A célula irá gerar uma pequena diferença de tensão entre as *bitlines*. Após um curto período, o sinal SAE ativa o amplificador de sinais, que é desconectado do resto da coluna. Com a diferença de tensão previamente recebida, o amplificador passa a funcionar como um *latch*. O nodo que recebe o sinal mais fraco estabiliza em '0' e o complementar em '1'. Logo, a saída recebe um sinal estável do bit armazenado e seu complemento. A Figura 10 mostra como os sinais devem se comportar durante este processo. O tempo é calculado entre a ativação do sinal WL e a obtenção do resultado na saída. O sinal Cel refere-se ao valor armazenado no nodo Q.

Figura 9 - Comportamento dos sinais durante a leitura.



Fonte: Elaborada pelos autores.

2.2 Análise de potência

A partir das simulações temporais pode se obter a energia consumida pela fonte de alimentação durante a simulação. A Equação (1) mostra como é calculada a potência. A potência será determinada em função da energia ao longo do tempo e a tensão (V) aplicada no

circuito. A energia é determinada pela integral da corrente (i) no intervalo de tempo de simulação. O tempo de simulação é o tempo necessário para fazer as escritas dos valores ‘0’ e ‘1’ e suas leituras, validando a célula.

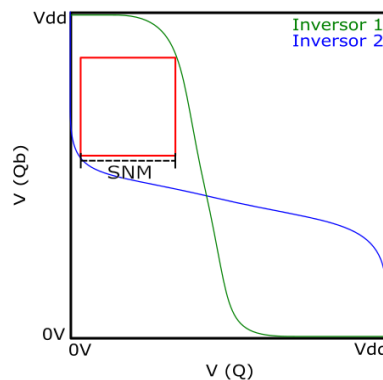
$$P = \frac{\int_{t_0}^t i dt}{t} * V \quad (1)$$

2.3 Margens de ruído estático

A robustez de uma célula pode ser estimada através de suas margens de ruído. Estas margens representam o comportamento apenas da célula diante de variações de tensão em seus nodos, que representa um ruído externo. Elas são chamadas de SNM (Margem de Ruído Estático), RNM (Margem de Ruído de Leitura) e WNM (Margem de Ruído de Escrita). Para obter-se cada margem de ruído, a simulação testa a célula exatamente no seu estado de funcionamento desejado. Escolhido um dos nodos Q ou Qb, é conectada uma fonte de tensão que representa um ruído externo. O resultado é obtido em volts, pois expressa o quanto a sua tensão pode variar sem que haja risco de perda do dado armazenado.

A SNM é o ruído durante o estado de espera, que mesmo que esteja desconectada das *bitlines* está sujeita a ruído externo. A Figura 11 mostra o comportamento de variação de tensão, considerando que cada eixo representa um dos inversores. A SNM é calculada pelo lado do maior quadrado possível entre as curvas. Nesse estado a célula está isolada do restante do circuito.

Figura 10 - Comportamento dos inversores durante o estado de espera com a inserção de ruído.

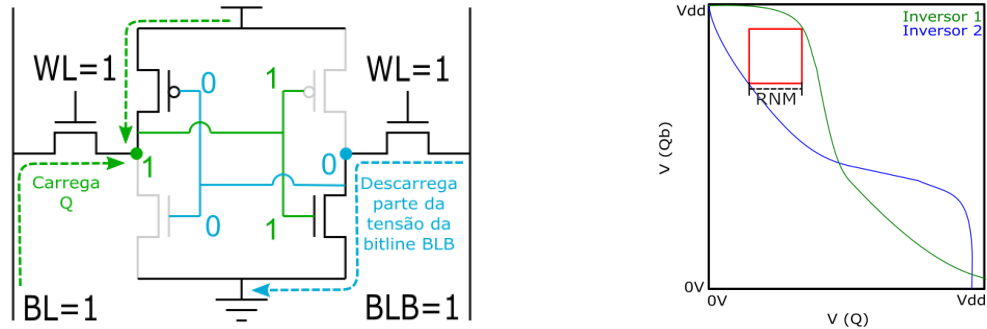


Fonte: Elaborada pelos autores.

O estado de leitura é o mais crítico, pois a célula está conectada às *bitlines* e ambas estão pré-carregadas. A Figura 12(a) exemplifica a conexão da célula com as *bitlines* e seu comportamento elétrico. A estabilidade durante a leitura depende do transistor M1, pois ele

descarrega uma das bitlines gerando a diferença de tensão necessária para o amplificador de sinais ler o dado. A Figura 12(b) mostra o comportamento dos inversores diante da ação de uma fonte de tensão agindo sobre um dos nodos. A RNM também é dada pelo lado do maior quadrado entre as curvas.

Figura 11 - Diagrama elétrico (a) e sinal de saída dos inversores durante a leitura (b).



(a) Comportamento do circuito durante a leitura (sem ruído).

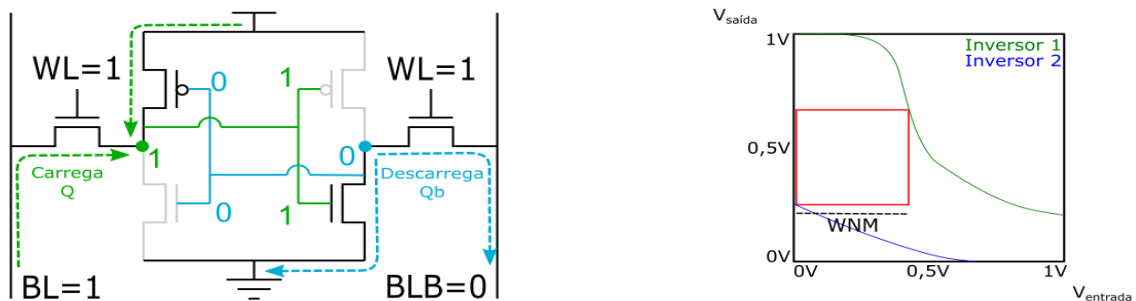
Fonte: Elaborada pelos autores.

(b) Comportamento dos inversores durante a leitura diante a presença de ruído.

Durante o estado de escrita, a *bitline* BL recebe o *bit* que será escrito e BLB o seu complemento lógico. A Figura 13(a) exemplifica a conexão dos inversores com as *bitlines*, sendo que as *bitlines* possuem tensões diferentes, '1' ou '0'. Na Figura 13(b) é apresentada as saídas dos inversores dada a inserção da fonte de ruído em um dos nodos Q ou Qb. Como cada *bitline* possui uma tensão diferente, gera duas curvas distintas. O valor de WNM também é dado pelo maior quadrado entre as curvas.

Os resultados de margens de ruído permitem avaliar a robustez da célula de memória quanto as perturbações de tensão nos nodos Q ou Qb. Para os três tipos de margem de ruídos investigados neste trabalho, quanto maior o valor da margem de ruído, mais robusta é a célula.

Figura 12 - Diagrama Elétrico e saída dos inversores durante a escrita.



(a) Comportamento elétrico durante a escrita (sem ruído).

Fonte: Elaborada pelos autores.

(b) Comportamento dos inversores durante a

3 Resultados

Os resultados das simulações de caracterização temporal são apresentados na Tabela 1. O gráfico mostra que o desempenho de escrita é muito parecido, pois todas usam duas *bitlines* de escrita. A célula 4T teve o menor tempo de escrita, pois a escrita depende apenas dos transistores NMOS que são mais rápidos. A célula 4T *Loadless* possui apenas os transistores PMOS, que são mais lentos, e seu desempenho de escrita é pior que o da 4T. A célula 10T *Differential* possui dois transistores de passagem até o nodo *Q*, isso explica porque possui o maior tempo de escrita.

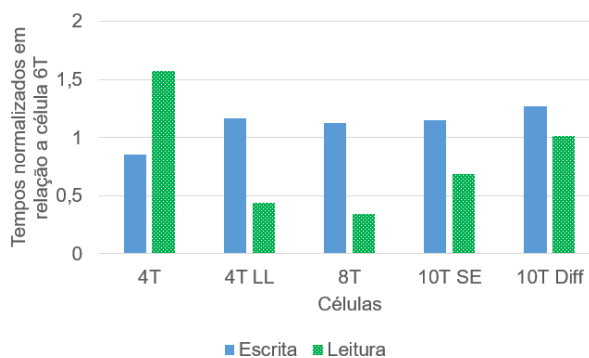
A célula 8T possui o melhor tempo de leitura, pois seu circuito de leitura garante uma descarga rápida da RBL. A célula 10T *Single Ended* depende de muitos transistores e perde desempenho. A célula 4T tem o pior desempenho de leitura, pois seus resistores dificultam que o nodo que possui o valor '0' descarregue a *bitline* de forma eficiente. Para melhorar a comparação entre os resultados de cada célula, a Figura 14 apresenta os resultados normalizados em relação à célula 6T. É possível perceber que a diferença no tempo de escrita na maioria dos casos não é muito grande, a exceção é a célula 10T que possui mais de 20% de diferença. A leitura varia muito, porém é possível perceber que apenas a célula 4T é muito inferior. As células 4T *Loadless* e 8T chegam a executar a leitura em menos da metade do tempo.

Tabela 1 - Tempos de escrita e leitura.

Célula	Escrita (ps)	Leitura (ps)
6T	24,46	18,99
4T	20,95	29,83
4T LL	28,46	8,32
8T	27,49	6,50
10T SE	28,09	13,01
10T Diff	31,14	19,19

Fonte: Elaborada pelos autores.

Figura 14 - Tempos de leitura e escrita normalizados.



Fonte: Elaborada pelos autores.

Durante os processos de escrita e leitura, foi observado o consumo de energia de cada célula. A Tabela 2 mostra os resultados obtidos. É possível perceber que a célula 4T possui um consumo 389 vezes maior que o da célula 6T, devido à presença do resistor, que permite a passagem de corrente elétrica mesmo quando o nodo guarda o valor '0', mostrando um dos motivos pelo qual ela deixou de ser utilizada. A célula 10T *Differential* possui um consumo muito alto, dificultado a sua utilização. Por outro lado, a célula 4T possui consumo de energia inferior a metade do consumo da célula 6T.

A Tabela 3 apresenta os valores de margens de ruído obtidos em simulações estáticas. A tensão máxima desse tipo de circuito é 900mV e quanto maior o valor da margem de ruído, mais robusta é a célula. É possível observar que a SNM das células 6T, 8T, 10T *Single Ended* e 10T *Differential* são praticamente iguais, porque suas estruturas internas de armazenamento são iguais. As células 4T e principalmente a 4T *Loadless* se mostram muito suscetíveis a ruído, isso devido a sua forma de guardar o dado não ser tão estável quanto as outras. A célula 4T *Loadless* tem a maior WNM, mas isso não compensa a baixa SNM e RNM. As células 8T, 10T *Single Ended* e 10T *Differential* possuem SNM e RNM iguais, pois a leitura destas células é feita de forma que o nodo não sofra interferência da *bitline* RBL.

Tabela 2 - Consumo de energia.

Célula	Energia (fJ)	Energia(normalizada)
6T	0,81	1,00
4T	317,53	389,89
4T LL	0,37	0,46
8T	0,90	1,11
10T SE	1,19	1,46
10T Diff	57,55	70,66

Fonte: Elaborada pelos autores.

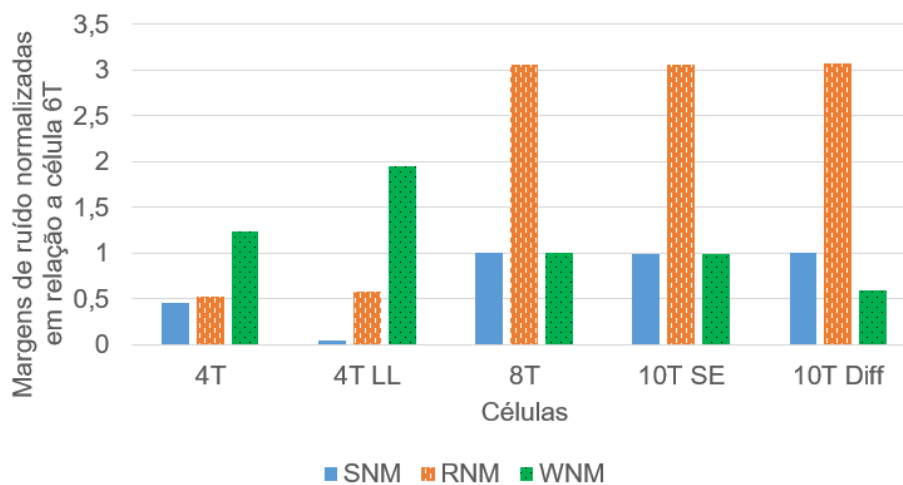
Para permitir a comparação entre as células, estes resultados de margens de ruído foram normalizados em relação aos resultados da célula SRAM mais tradicional, a 6T. Na Figura 15 são apresentados esses resultados normalizados. As células 8T e 10T *Single Ended* se mostram mais robustas que a 6T, sendo que elas empatam em relação a SNM e WNM mas chegam a ser 3 vezes mais robustas durante a leitura. A célula 10T *Differential* é a única com a WNM menor que a da 6T, mas considerando que seu valor expresso na Tabela 3 é 226mV está dentro de uma faixa aceitável.

Tabela 3 - Margens de ruído estático.

Célula	SNM (mV)	RNM (mV)	WNM (mV)
6T	289,6	94,3	384,0
4T	134,2	50,0	477,0
4T LL	15,3	55,1	749,0
8T	289,6	289,0	384,0
10T SE	288,3	288,3	380,0
10T Diff	289,6	289,6	226,0

Fonte: Elaborada pelos autores.

Figura 15 - Margens de ruído normalizadas em relação à célula 6T.



Fonte: Elaborada pelos autores.

5 Conclusão

O propósito do trabalho foi avaliar diferentes topologias de células de memória SRAM. O estudo teve foco na análise de desempenho, consumo de energia e robustez destas células. Através de simulações elétricas foi possível chegar a valores que expressam estas características. Os resultados foram obtidos a partir do dimensionamento mínimo de cada célula, sendo que com um dimensionamento apropriado pode-se chegar a resultados melhores diante das fragilidades de cada célula.

É possível concluir que os tempos de escrita não mudam muito entre a maioria das células. Porém, na maioria dos casos, o tempo de escrita é superior ao tempo de leitura. Caso o foco da memória seja desempenho, é interessante focar a redução do tempo de escrita, mas sempre observando o quanto essa redução impacta no tempo de leitura e nas margens de ruído. Entre as células analisadas, nenhuma conseguiu um melhor desempenho de leitura e de escrita simultaneamente superior ao da 6T.

O consumo de energia mostra que as células 10T *Differential* e 4T consomem muito mais que as outras. Como na maioria dos projetos o foco é economia de potência, elas são opções praticamente inviáveis. A célula 8T, por exemplo, supera a 10T *Differential* em todos os aspectos analisados ou se iguala, além de possuir um menor número de transistores. A célula 4T *Loadless* chama a atenção pelo baixo consumo de energia, além de possuir apenas 4 transistores e bom desempenho.

A estabilidade entre as células varia bastante, mas é importante salientar que as células 8T e 10T *Single Ended* foram no geral as melhores. A célula 6T tem problemas na estabilidade durante a leitura, e estas células podem ser boas opções. É importante considerar que as células com 4 transistores se mostram muito inferiores quando se trata de robustez.

O projeto de memórias SRAM é complexo e a escolha de um tipo de célula é um fator crucial. No geral, os resultados mostram que não há uma célula superior em todos os aspectos. Se o foco for redução de área, a 6T é sempre uma boa opção, além da célula 4T *Loadless*, mas que pode pecar em estabilidade. Para aplicações de alto desempenho há células que podem ser interessantes, como a 8T que é rápida e robusta. Para sistemas que operam em condições críticas e estão sujeitas a ruídos, a célula 8T se mostra novamente uma boa opção, assim como a 10T *Single Ended*. A célula 4T se mostrou com baixa estabilidade e alto consumo de energia, sendo inviável na tecnologia utilizada. A célula 10T *Differential* pode ser projetada de forma a ficar mais robusta que o observado, porém considerando o dimensionamento mínimo utilizado não se mostrou uma boa opção.

6 Agradecimentos

Este trabalho foi realizado com apoio parcial do programa de iniciação científica da Universidade Federal do Rio Grande – EPEM/ FURG.

7 Responsabilidade

É de total e inteira responsabilidade dos autores a veracidade das informações relatadas neste artigo, assim como, a pesquisa e o desenvolvimento do projeto, não ocorrendo qualquer forma de desenvolvimento que possa ser associada a outra obra já desenvolvida.

Referências

PAVLOV, A.; SACHDEV, M. **CMOS SRAM Circuit Design and Parametric Test in Nano Scaled Technologies** – Process-Aware SRAM Design and Test. Springer, 2008.

STALLINGS, W. **Computer Organization and Architecture – Designing for Performance**. 9th.ed. Pearson, 2012.

ROY, C; ISLAM A. Comparative Analysis of Various 9T SRAM Cell at 22-nm Technology Node. **IEEE 2nd International Conference on Recent Trends in Information Systems (ReTIS)**, 2015.

SEMICONDUCTOR INDUSTRY ASSOCIATION – SIA. **International Technology Roadmap for Semiconductors 2011 Edition**. Disponível em: http://www.semiconductors.org/clientuploads/directory/DocumentSIA/ITRS_2011ExecSum.pdf. Acesso: Novembro, 2016.

SANDEEP, R.; DESHPANDE, N. T.; ASWATHA, A. R. Design and Analysis of a New Loadless 4T SRAM Cell in Deep Submicron CMOS Technologies. **Second International Conference on Emerging Trends in Engineering and Technology**, 2009.

CHANG, L.; FRIED, D. M.; HERGENROTHER, J.; SLEIGHT, J. W.; DENNARD, R. H.; MONTOYE, R. K. Stable SRAM Cell Design for the 32 nm Node and Beyond. **Symposium on VLSI Technology Digest of Technical Paper**, 2005.

CALHOUN, B. H.; CHANDRAKASAN, A. P. A 256-kb 65-nm Sub-threshold SRAM Design for Ultra-Low-Voltage Operation. **IEEE Journal of Solid-State Circuits**, vol. 42, 2007.

CHANG, I. J.; KIM, J.; PARK, S. P.; ROY, K. A 32 kb 10T Sub-Threshold SRAM Array With Bit-Interleaving and Differential Read Scheme in 90 nm CMOS. **IEEE Journal of Solid-State Circuits**, vol. 44, 2009.

ZHAO, W.; CAO, Y. New generation of Predictive Technology Model for sub-45nm early design exploration. **IEEE Trans. on Electron Devices**, vol. 53, 2006.